

1.27Gb/s/pin, 3mW/pin Wireless Superconnect (WSC) Interface Scheme

神田 浩一^{†1} ダナルドノ ドゥイ アントノ[†] 石田 光一[†]

川口 博[†] 黒田 忠広[‡] 桜井 貴康[†]

[†] 東京大学生産技術研究所 〒153-8505 東京都目黒区駒場 4-6-1

[‡] 慶應義塾大学理工学部 〒223-8522 神奈川県横浜市港北区日吉 3-14-1

E-mail: [†] {kouichi, don, ishida, kawapy, tsakurai}@iis.u-tokyo.ac.jp, [‡] kuroda@elec.keio.ac.jp

あらまし 本インターフェースは容量結合による非接触のミニパッドとセンスアンプフリップフロップを有し、符号化には return-to- $V_{DD}/2$ 方式を用いている。0.35 μ m CMOS プロセスのテストチップを試作し、625pin/mm² のピン密度、3mW/pin の低消費電力を確認した。通信速度については 1.27Gb/s/pin を達成した。

キーワード I/O, 高バンド幅, ワイヤレス接続, 低電力, 高密度パッド

1.27Gb/s/pin, 3mW/pin Wireless Superconnect (WSC) Interface Scheme

Kouichi KANDA^{†1} Danardonno Dwi ANTONO[†] Koichi ISHIDA[†]

Hiroshi KAWAGUCHI[†] Tadahiro KURODA[‡] and Takayasu SAKURAI[†]

[†] Institute of Industrial Science, University of Tokyo 4-6-1 Komaba, Meguro-ku, Tokyo, 153-8505 Japan

[‡] Faculty of Science and Technology, Keio University

3-14-1 Hiyoshi, Kohoku-ku, Yokohama-shi, Kanagawa, 223-8522 Japan

E-mail: [†] {kouichi, don, ishida, kawapy, tsakurai}@iis.u-tokyo.ac.jp, [‡] kuroda@elec.keio.ac.jp

Abstract A low-power high-speed chip-to-chip interface scheme is described having a density of 625pins/mm². The interface utilizes capacitively coupled contactless minipads, return-to- $V_{DD}/2$ signaling and sense amplifying flip-flops. The measured test chip fabricated in 0.35 μ m CMOS delivers up to 1.27Gb/s/pin at 3mW/pin.

Keyword I/O, high bandwidth, wireless connection, low power, high-density pad

1. はじめに

ITRS ロードマップによれば、2016 年には高性能プロセッサのパッド数は 6000 になり、パッドピッチも 20 μ m までに狭まるものと予想されている。チップ面積についても 572mm² (約 24mm 角) 占有するものもあるとしている。この大きさのチップをもってしても、チップの 4 辺にしかパッドを配置できないのであれば、4800 パッドにすぎず、要求される 6000 パッドには足りない。一方、もしパッドを配列状に配置できれば、必要な面積はわずか 2.4mm² で済み、2 次元高密度 I/O の重要性が理解できる。

チップの消費電力について ITRS ロードマップでは $V_{DD}=0.4V$ で 288W にも達するものもあると予想されている。パッド数 6000 のうちの半数の 3000 が信号用とされているので、電力の 1/4 を I/O が消費するものと仮定すれば、1 パッドあたりの電力は 24mW になる。

しかし、さらなる低消費電力化が求められるであろう。

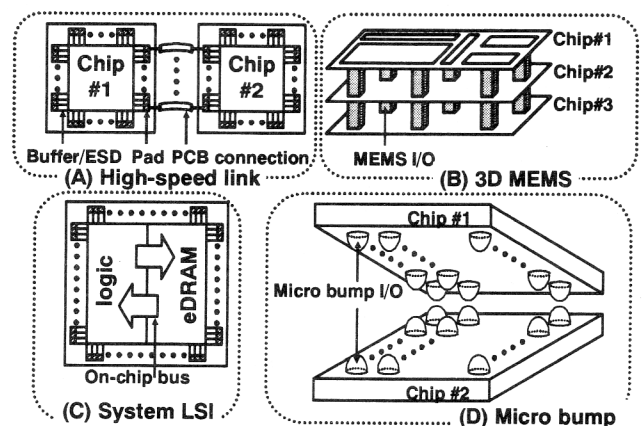


図1 既存のインターフェース方式。

図 1に 4 種類の既存のチップ間インターフェースを

¹ 現在、株式会社富士通研究所システム LSI 開発研究所

紹介する。

- (A) 高速リンクは現在、プロセッサとメモリ間の通信で最も広く使われている方式である。2つのチップは同じPCB (printed circuit board)に置かれ、データはPCBの配線を経由して送られる。高バンド幅の達成のためにインピーダンス整合と小振幅アナログ回路技術が要求されるが、この複雑なアナログ回路とPCBの高容量配線により1ピン当たりの電力は数100mWにもなる。ESD保護回路における大きなPN接合の存在もこの容量に含まれ、合わせて1ピン当たり数pfの負荷容量となる。パッドはESD保護回路のために面積を約0.05mm²占有し、さらにESD保護回路はスケージングを阻害する要因にもなる。
- (B) 3次元MEMSはマイクロマシン技術によって多くのチップを積層できる。プロセッサとメモリの組み合わせに制限されることなく、3チップ以上にわたって多くの機能ブロックを積層可能である。チップ間距離が短いため、高速通信が可能である。しかしこの技術は複雑で高価なため、大量生産には適していない。
- (C) システムLSIはメモリとロジックを同じチップに実装でき、組み込みDRAM (eDRAM)はこの成功例の1つである。オンチップバスであるため、高バンド幅通信が可能である。配線の負荷容量も高速リンクに比べて3桁程度小さいので、低電力である。例えば、ゲーム機のグラフィックスチップは2560ビット幅のオンチップバスで、48GB/sのバンド幅を達成する。チップ面積の増大とプロセスの複雑化がTAT (turn around time)の長期化と高コストの要因となっている。
- (D) マイクロバンプ技術 [1] はSIP (system-in-a-package)技術の1つと見なされる。マイクロバンプでは2つのチップがface-to-faceで面と向かって置かれ、信号は最小30μmピッチ程度のマイクロバンプ経由で伝送される。マイクロバンプは配列状に配置できるので、高密度I/Oを実装できる。信号の伝送距離も短く、バンプの負荷容量も高速リンクに比べて小さい。しかしマイクロバンプの問題点は高速リンク同様にESD保護回路の存在にある。バンプがチップ外部にさらされるためにESD保護回路を備えなければならないが、これが電力と遅延の増大を招く。

2. WSC (wireless superconnect)

これら4種類のインターフェースに対し、図2に示すWSC (wireless superconnect)では、信号とクロックは物理的接触のないミニパッドによる容量結合を経由して伝送される。ミニパッドの大きさは1辺が20μmであり、ミニパッド間の距離も20μmである。パッドの

位置はチップの4辺だけに限定されることなく、16mm²の面積に10000パッド実装できる。ミニパッドは最上層メタルで形成され、2チップがface-to-faceで置かれ、容量結合する。ミニパッド間距離は保護膜を含め、約1-2μmであり、パッド1組当たり数から10数fF程度の容量となる。この値は受信部が信号を拾うには十分な値である。

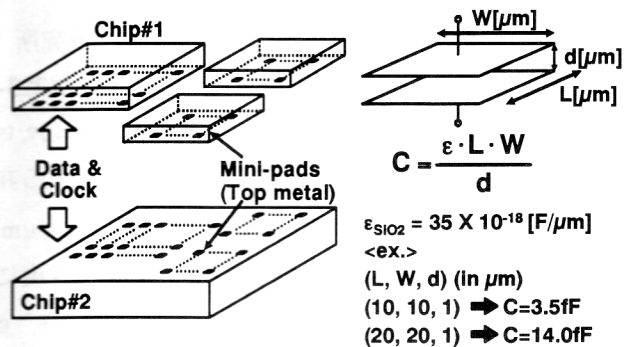


図2 WSC (wireless superconnect).

容量結合による非接触I/Oはすでにチップ対PCBで試みられている[2]。信号は容量とPCB上の伝送線路を通して伝送される。パッドの大きさは1辺が70μm以上、1パッド当たりの電力は10mW以上である。またPCB上の伝送線路のためにI/O回路が複雑化する。

これと違い、WSCはPCBに頼ることなく直接、2チップ間の容量結合による通信を行うので低電力である。また特別なプロセスや追加マスクが必要ないのでTATが短く、小面積で実装できるため低コストである。バンド幅についても、後ほど述べるように1ピン当たり1Gb/s以上を達成する。

電力供給については、専用バンプを用意し、半田付けしたほうが多くの電力を供給できるため望ましいが、低電力アプリケーションではオンチップコイルによる誘導結合で供給できる可能性もある。この場合には2チップは半田による物理的接触がなく、2チップの分離を簡単に行える。

またWSCにはESD保護回路の問題が存在しない。ミニパッドは最上層メタルを用いており、保護酸化膜により覆われているためである。さらに2つのチップが組み立てられると、ミニパッド領域は完全に隠れる。そのためWSC方式ではESD保護回路を実装する必要はなく、これは結果として面積と電力を削減し、動作速度の向上につながる。

3. 送受信回路

WSCのミニパッド間は容量結合しているので、符号化には図3のとおり、return-to- $V_{DD}/2$ を用いる。すなわちデータの送信がないときには、容量は $V_{DD}/2$ にプリチャージされている。送信機の役割はNRZ (non-return-to-zero)信号をreturn-to- $V_{DD}/2$ に符号化することであり、受信機はこの信号を増幅し、復号化する。

を付けておくことにより、上のチップを下向けにしたときに細かい位置合わせが可能になる。このマークは約 $1.5\mu\text{m}$ の大きさであり、 $3\mu\text{m}$ の位置合わせが可能である。位置合わせが終わると、パッケージ側からも銀ペーストを流し込み、上のチップの電源ピンを接続する。銀ペーストは固まるまでに数分かかるので、その間にさらに調整を行う。WSCを量産に用いるときには、マイクロポンプで用いられている既存の位置合わせ技術を用いる。

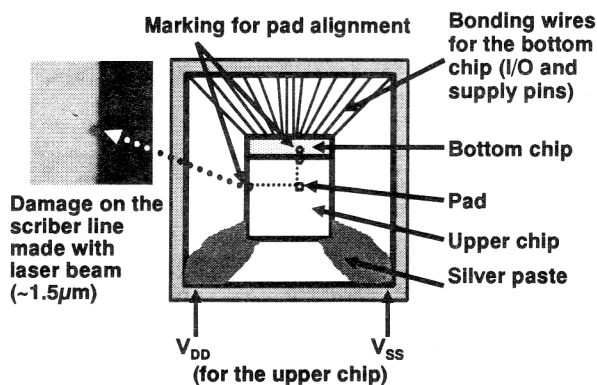


図7 セットアップ。

図 8(a)にセットアップにより実現した測定環境を示す。まず 1GHz のクロック f_1 を下のチップで発生させる。 f_1 は 64 分周され、チップ外から監視することができる。 f_1 は上のチップに送られるが、このときには前述のとおり、入出力を抵抗で短絡したインバータを用いる。強いクロックを実現するために、クロックのミニパッド容量はデータのそれより約 20 倍大きく設計されている。上のチップはこのクロックを受信、増幅、再生する。 f_1 から $f_1/2$, $f_1/4$, $f_1/8$ の 3 つ周波数を持った信号を分周器によって作り、データとして下のチップに戻す。受信アンプの活性化タイミングは誤ったデータを取り込まないために重要であるので、下のチップの遅延バッファを使って調整される。図 8(b)に測定波形を示す。 ϕ_{STR} を非活性化し、 64 ビットシフトレジスタに保持されたデータを 50MHz のクロック f_2 で読み出したものである。

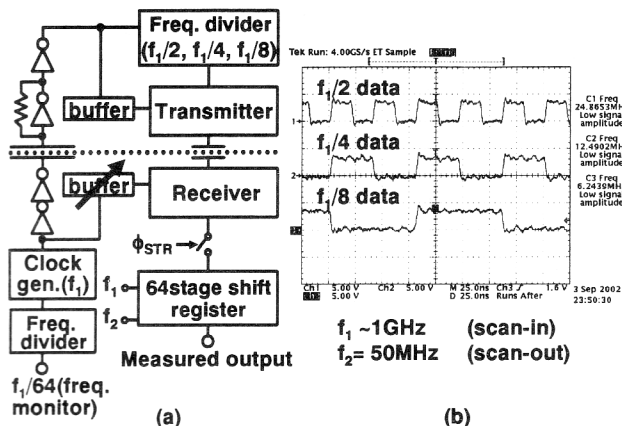


図8 (a)測定環境、(b)測定波形。

図 9 にテストチップの速度と電力の V_{DD} 依存を示す。 $V_{\text{DD}}=3.3\text{V}$ のとき、最大データレートは 1.27Gb/s となる。最大伝送レートのときの電力は $V_{\text{DD}}=3.3\text{V}$ のとき、 1 ピンあたり 3mW になる。 3mW のうちの 60% は受信機で消費され、残りの 40% は送信機で消費される。

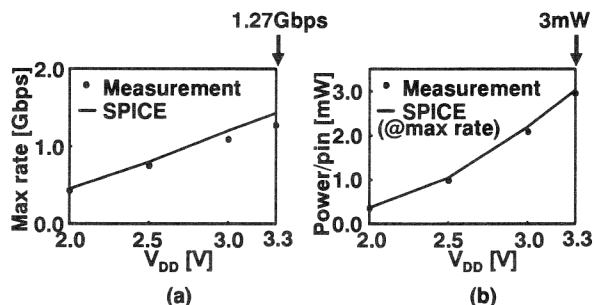


図9 テストチップの(a)速度特性、(b)電力特性。

5. まとめ

WSC のスケーラビリティを確認するために図 10 に示すとおり、 70nm ノードにおける SPICE シミュレーションも行った。SPICE モデルは BPTM (Berkeley predictive technology model) を使い、パッド容量は 10fF と仮定した。このシミュレーション結果は将来の 3000 ピンの I/O がわずか 0.7W で 8Gb/s 動作することを示している。 3000 ピンの I/O が同時にデータを送受信すれば、バンド幅は 24Tb/s となる。このように WSC 方式はスケーラブルで、将来の LSI において有望なインターフェース技術である。

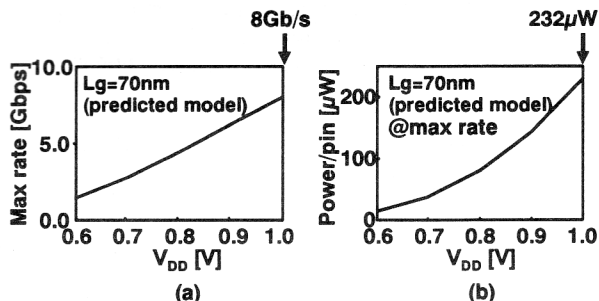


図10 70nm ノードにおける(a)速度特性、(b)電力特性。

謝辞

本チップ試作は東京大学大規模集積システム設計教育研究センターを通し、ローム(株)および凸版印刷(株)の協力で行われたものである。

文献

- [1] A. Matsuzawa, "System Module with Chip on Chip Technology for Realizing True System LSI's," in 8th Gakushin 165 committee meeting, pp. 8-14, Nov. 2000.
- [2] S. Mick, J. Wilson, and P. Franzon, "4Gbps High-Density AC Coupled Interconnection," Proc. IEEE Custom Integrated Circuits Conference, pp. 133-140, 2000.