

デジタル家電に向けた低リーク電力デジタル回路技術 — Zigzag SCCMOS Scheme —

宮崎 隆行 関 庚湜¹ 川口 博 桜井 貴康

東京大学生産技術研究所 〒153-8505 東京都目黒区駒場 4-6-1

E-mail: {tmiyazak, tsakurai}@iis.u-tokyo.ac.jp

あらまし ディープ・サブミクロン世代のクロックゲーティング代替回路として Zigzag Super Cut-off CMOS を提案する。本方式は低閾値電圧のスイッチのみを用いるため 1V 以下の電源電圧に対応できる。またパワースイッチをジグザグに挿入することにより SCCMOS のようにスイッチを直列に接続することなく耐圧の問題を解決した。本方式を適用した回路においてクロックサイクルの 1/3 以下の時間でのウェークアップと 3 桁のリーク電流削減を確認した。電源電圧以上、および以下の電圧のスイッチを通常耐圧の MOSFET で構成する方法の確認も行った。さらに、セレクトラにもこのような方式が適用可能なことを示した。

キーワード 低リーク, クロックゲーティング, アクティブ・リーク

A Low Leakage Power Digital Circuit Scheme for Digital Appliance — Zigzag SCCMOS Scheme —

Takayuki MIYAZAKI Kyeong-Sik MIN¹ Hiroshi KAWAGUCHI and Takayasu SAKURAI

Institute of Industrial Science, University of Tokyo, 4-6-1 Komaba, Meguro-ku, Tokyo, 153-8505 Japan

E-mail: {tmiyazak, tsakurai}@iis.u-tokyo.ac.jp

Abstract Zigzag Super Cut-off CMOS is proposed as clock-gating replacement in deep sub-micron era. The proposed scheme is applicable in V_{DD} less than 1-V, since it uses only low threshold voltage transistor in power switches. By inserting the power switches in zigzag, the serially connected transistors in power switch of Super Cut-off CMOS is avoided without any overstresses. Wake-up time of less than 1/3 the clock cycle and three-orders-of-magnitude leakage current reduction are confirmed. A method for switching the higher-than- V_{DD} and lower-than- V_{SS} voltage is proposed. Furthermore, it is shown that the proposed scheme is applicable to a selector circuit.

Keyword Low Leakage, Clock-gating, Active leakage

1. はじめに

近年、消費電力は携帯端末から高性能マイクロプロセッサまで多岐にわたるシステムにおいて主要な制約条件となってきた。つい最近までデジタル CMOS 回路の消費電力の主な要因は負荷容量のスイッチングにより消費される電力であった。しかしデバイスの微細化により電源電圧が下がり、負荷容量も減少した。このことにより 1 スイッチングあたりの電力も減少しこの傾向は今後も続く。逆に増加しているのは閾値電圧が下がることにより増えるリーク電流に起因する消費電力である。電源電圧 V_{DD} が下がるに従い、閾値電圧 V_{TH} を下げないとパフォーマンス(動作速度)が劣化する。動作速度をテクノロジーと共にスケールさせるためには電源電圧と閾値電圧の比 $V_{DD}:V_{TH}$ はほぼ一定に

保たなければならない。閾値電圧を下げるとサブ・スレッショルド・リーク電流は指数関数的に増大し、70nm プロセス以降ではリークによる電力が支配的になると考えられている[1,2]。今後の(スイッチングによる)ダイナミック電力とリーク電力のトレンドを図 1 に示す。

このリーク電流を削減する回路方式として、Multi-Threshold-Voltage CMOS(MTCMOS)[4], Variable-Threshold CMOS(VTCMOS)[5], Super Cut-off CMOS(SCCMOS)[6]が提案されている。MTCMOS はパワースイッチとして閾値電圧の高い MOSFET を用いるため電源電圧 1V 以下の世代では有効性を失う。なぜならこのような低い電源電圧での動作時には高い閾値電圧のトランジスタの利用による動作速度の劣化が大きくなるからである。また VTCMOS も今後基板バイアス

¹ 現在、Kookmin University, Korea

効果が小さくなるためその有効性を失う[7]。SCCMOS は低い電源電圧でも有効であるが、2つの MOSFET を直列につなぐことにより耐圧の問題を解決しているため動作速度が低下する。

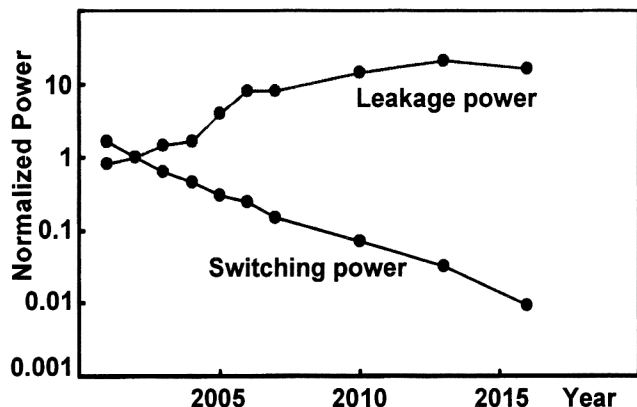


Fig.1: リークとスイッチングによる電力のトレンド[3].

またリーク電力が支配的になると従来有効であった消費電力削減方式クロックゲーティングが有効でなくなる。クロックゲーティングはスイッチング電力を削減するがリーク電流は削減しないためである。

これらの問題を解決するリーク支配世代のクロックゲーティング代替回路として Zigzag Super Cut-off CMOS(Zigzag SCCMOS)[8]を提案する。

2. Zigzag SCCMOS

本章ではまず SCCMOS について説明する。SCCMOS の構成についてまず述べ、次に SCCMOS の持つ 2 段積みのパワースイッチの問題とウェークアップ時間に関する問題を説明する。次に Zigzag SCCMOS がこれらをどのように解決するかについて述べ、Zigzag SCCMOS の実際の回路への適用方法について述べる。

2.1. SCCMOS

SCCMOS を図 2 に示す。アクティブ時には、図 2(a) のパワースイッチ MP1 のゲート電圧は V_{SS} であり、論理回路に電力を供給する。スリープ時には MP1 のゲートに電源電圧よりも高い電圧を印加しリーク電流を低減する。このとき MP1 に流れる電流は論理回路に流れる電流よりも小さいため、スリープ・モードに入った当初 HI であったノードはバーチャル電源線 V_{DDV} を含め全て V_{SS} に放電される。すると図 2(a) の MP1 のドレイン・ゲート間にオーバーストレスが生じる。このオーバーストレスを避けるため図 2(b) のように 2 つの PMOS を直列に接続したパワースイッチを用いる。このとき V_{D1} の電圧は MP1 と MP2 に同じ電流が流れる電圧に定まるため MP1 のゲートを 0.2V オーバードラ

イブした場合、MP1 と MP2 のゲート幅が同じであれば約 0.2V となる。このことにより MP1 のゲート・ドレイン間の電圧は最大でも V_{DD} であり、オーバーストレスが解決される。しかしこの 2 段積みのパワースイッチは回路の動作速度を遅くし面積を増大させる。

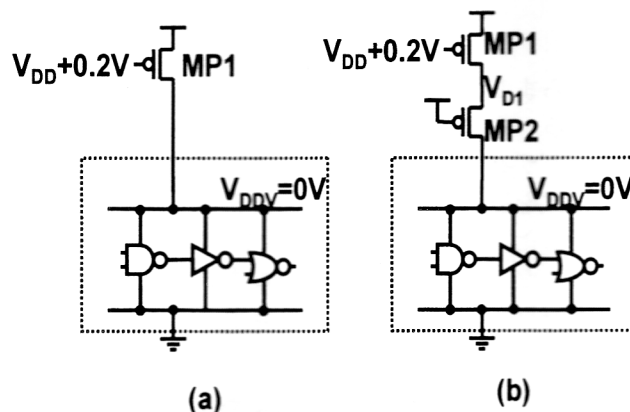


図 2 Super Cut-off CMOS

また SCCMOS では論理ゲートの出力ノードを含む全てのノードが V_{SS} にディスチャージされる。すなわちスリープからの復帰時にはバーチャル電源線 V_{DDV} や出力ノードを V_{DD} まで充電する必要がある。特に出力ノードは次段の論理ゲートの入力に接続されているため容量が大きく充電に時間がかかる。さらにモード切替時にこれらのノードが固定されていないため大きな貫通電流が生ずる。これらが SCCMOS をクロックゲーティング代替回路として用いることの妨げになっている。

2.2. Zigzag SCCMOS

2.2.1. Zigzag SCCMOS の原理

Zigzag Super Cut-off CMOS ではパワースイッチをジグザグ(zigzag)に挿入することにより SCCMOS のパワースイッチを 2 つの直列接続された MOSFET で構成しなければならないという問題を解決する。このようなジグザグに接続したパワースイッチを用いるリーク電流低減方式として高閾値電圧 MOSFET を用いる Switched-Source-Impedance CMOS[9]が提案されているが、高閾値電圧 MOSFET は 1V 以下といった低い電源電圧では用いることができない。しかしこのジグザグの手法を SCCMOS のオーバードライブされた低閾値電圧スイッチと組み合わせるとパワースイッチを直列接続にする必要がなくなる。なぜならパワースイッチをジグザグに接続するとスリープ時にはスイッチに接続されている論理を担う MOSFET のゲート (V_{GS}) に負電圧が印加され、バーチャル電源線 (V_{DDV} , V_{SSV}) の電位は V_{DD} と V_{SS} の間のある値に落ち着くからである。

図 3 に Zigzag SCCMOS の回路図を示す。図 3(a)では入力 $V_{IN}=V_{DD}$ のインバータが PMOS のスイッチにつながれており、図 3(b)では入力 $V_{IN}=V_{SS}$ のインバータが NMOS のスイッチに接続されている。このように接続すると図 3(a)の MP1 と MP2 は図 2(b)の MP1 と MP2 と同じ電圧が印加されており、SCCMOS のようにスイッチ自体を 2 段積みにはすることなく耐圧の問題を解決している。また図 3(b)の MN1 と MN2 についても MP1 と MP2 と同じようにサブスレッショルド領域で動作しており同様のリーク削減効果を得ることが出来る。ここで図 3 の V_{DDV} および V_{SSV} は以下のように求めることが出来る。

$$V_{DDV}=V_{DD}-V_{CUT}+S_P \cdot \log_{10}(W_{MP1}/W_{MP2})-\Delta V_{TH,P1,P2}$$

$$V_{SSV}=V_{SS}+V_{CUT}+S_N \cdot \log_{10}(W_{MN1}/W_{MN2})-\Delta V_{TH,N2,N1}$$

ここで V_{CUT} はパワースwitchのオーバードライブ電圧であり図 3 では 0.2V としている。 W_{MP1} , W_{MP2} , W_{MN1} , W_{MN2} はそれぞれ MP1, MP2, MN1, MN2 のゲート幅であり、 $\Delta V_{TH,P1,P2}$, $\Delta V_{TH,N2,N1}$ はそれぞれ MP1 と MP2 および MN2 と MN1 の基板効果や DIBL による閾値電圧の差である。また S_P, S_N はそれぞれ PMOS と NMOS のサブスレッショルド係数である。

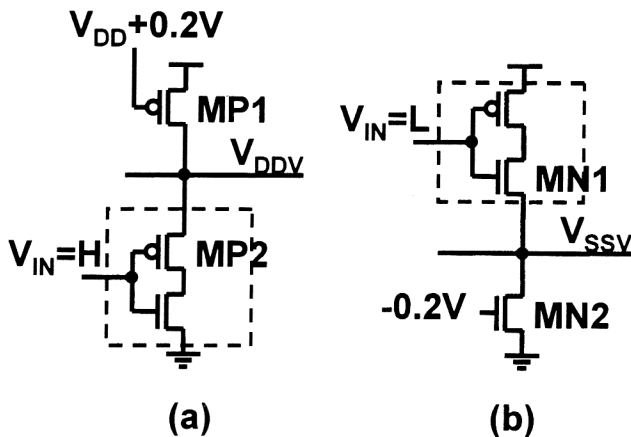


図 3 Zigzag SCCMOS 構成要素

このように入力が HI のときには PMOS を、入力が LO のときには NMOS をスイッチとして挿入すると論理ゲートの出力ノードは必ず ON の MOSFET を介して V_{DD} もしくは V_{SS} に接続されている。よってスリープからの復帰時に出力ノードを充電する必要がなく、貫通電流も流れない。さらにバーチャル電源線の電圧が本来の V_{DD} , V_{SS} からたかだか 0.2V 程度しか離れないことから短いウェークアップ時間を実現できる。

2.2.2. 構成方法

図 4 に Zigzag SCCMOS 回路の全体図を示す。実際

に Zigzag SCCMOS を設計する手順はまずスリープに入るときのプロックに対する入力(スリープベクタ)を決定し、それにより定まった各論理ゲートの入出力により図 3(a)または図 3(b)のように PMOS もしくは NMOS のスイッチを挿入する。またこのスイッチは同時にスリープに入る回路ブロックで共有することが出来る。また図 4 に示したように、スリープ時にスリープベクタを回路ブロックに供給する Phase-forcing 回路が必要となる。

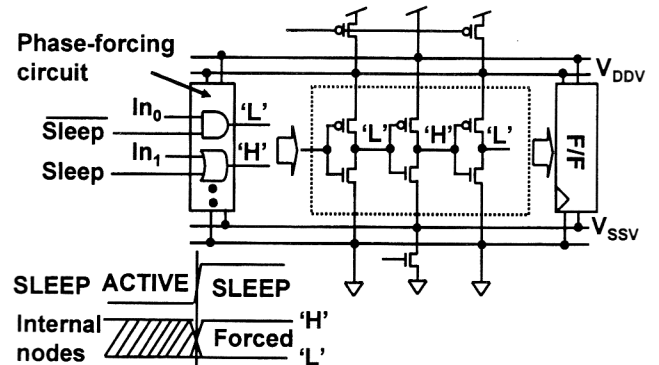


図 4 Zigzag SCCMOS ブロック

実際にブロックをスリープさせる場合の手順は以下のようになる。まずスリープに入るブロックの入力をスリープベクタに固定する(phase-forcing)。次にパワースwitchを OFF にする。Phase-forcing を行なう方法として図 5(a)のように入力の前段に NAND もしくは NOR を挿入する方法と、図 5(b)(c)のように最初の論理ゲートを複合ゲートに変更する方法がある。

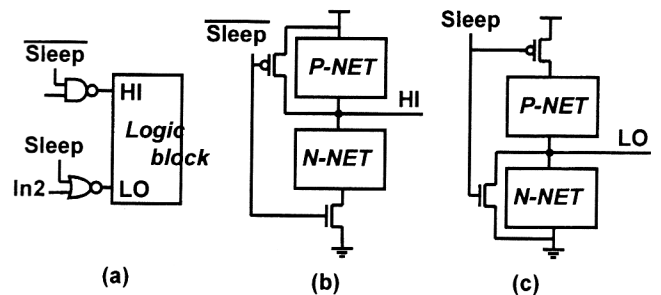


図 5 Phase-forcing

またスリープ時に必要な V_{DD} 以上の電圧および V_{SS} 以下の電圧はスイッチトキャパシタ等の DC-DC コンバータで生成するが、スリープ・アクティブ間のモード切替時にオーバーストレス無しにこの電圧を扱えるレベルシフタが必要となる。これを実現するため図 6 の耐圧緩和レベルシフタを提案する。

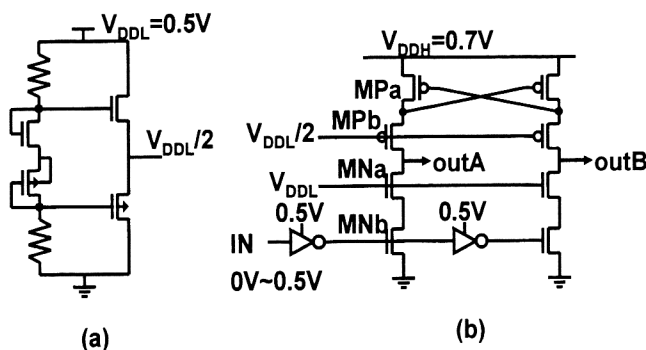


図 6 耐圧緩和レベルシフタ. (a) $V_{DDL}/2$ ゼネレータ[9]. (b) レベルシフタ.

この耐圧緩和レベルシフタを用いることにより、 V_{DDH} は最高で $V_{DDH}=1.5V_{DDL}$ までとることが出来る。すなわちパワースイッチのゲートを $V_{DDL}/2$ までオーバードライブできることになる。図 7 に示した耐圧緩和レベルシフタの各 MOSFET における V_{GS} , V_{DG} , V_{DS} のトラジェクトリから MOSFET にオーバーストレスが生じていないことが確認できる。シミュレーションは 70nm ノード電源電圧 0.5V で行なっている。

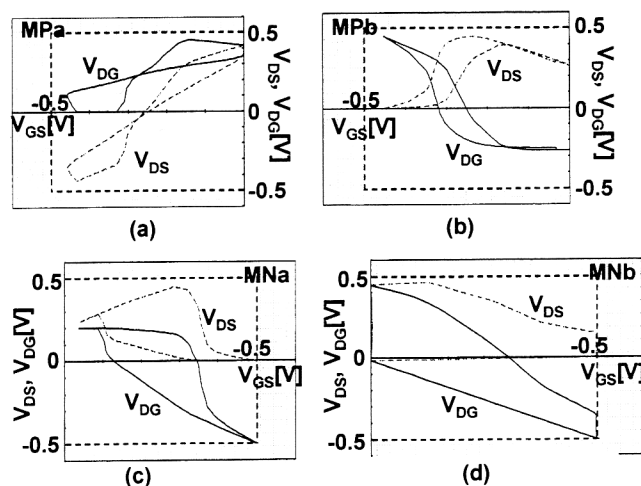


図 7 耐圧緩和レベルシフタのトラジェクトリ. (a)MPa, (b)MPb, (c)MNa, (d)MNb.

2.2.3. 複合ゲート型以外の回路への適用

前節では複合ゲート型のスタティック CMOS 回路を前提に構成方法を述べたが、この方法は直接セクタ、6 トランジスタ XOR、シフタ等トランスマッションゲートやパストランジスタを含む回路に適用することができない。

例えばセクタのインバータの部分のみにスイッチを挿入すると、図 8 のようなパスを通りリーク電流が流れる。これを遮断するためには図 8 の位置にトランスマッションゲート型のスイッチを挿入する必要がある。

ある。スイッチはスリープ時に OFF になるトランスマッションゲートの手前に挿入する。スリープ時にスイッチの PMOS, NMOS に印加する電圧は入力 HI であるか LO であるかによって異なる。もし図 8 のように入力が LO である場合は PMOS に V_{DD} 以上の電圧をかけオーバードライブし、NMOS は V_{SS} を印加する。このときスイッチとして挿入したトランスマッションゲートの両端の電位は V_{DD} および $V_{SS}+\alpha$ であるため NMOS は逆バイアスによりオーバードライブすることなくリークを遮断する。もし入力が HI であれば、スイッチの PMOS には V_{DD} を、NMOS には V_{SS} 以下の電圧を印加すればよい。

しかしこのような手法を用いると信号パスにスイッチが挿入されるため動作速度の低下が生じる。よって可能な場合は 2 つの入力を共に HI または LO に Phase-forcing し、トランスマッションゲート以外部分に通常の方法でジグザグにスイッチを挿入することでリークの削減が可能である。さらに簡便な方法として Clocked CMOS 型のセクタを用いることも可能である。Clocked CMOS 型のセクタに対しては複合ゲート同様の方法で Zigzag SCCMOS を適用できる。

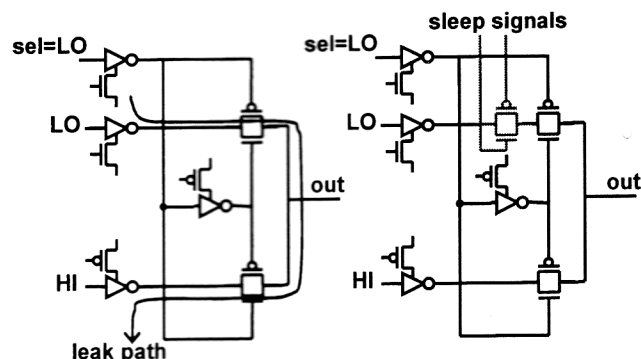


図 8 セクタ

複合ゲート型以外の回路に対して Zigzag SCCMOS を適用するためには特別な配慮が必要であることが分かった。セクタや XOR を含む複合ゲート型以外の回路が性能に影響を及ぼすと考えられる回路ブロックとしてシフタと加算器等の算術回路が挙げられる。ここではバレルシフタに Zigzag SCCMOS を適用する方法について述べ加算器については次章にゆずる。

図 9 に Zigzag SCCMOS を適用したバレルシフタを示す。バレルシフタへの入力の部分で Phase-forcing することにより、スイッチの挿入箇所を複合ゲート型の回路部分のみに限っている。シフト量を定義する SH1, SH2, SH4 に関してもスイッチを挿入する必要があるがどのように Phase-forcing されてもリークは削減される。

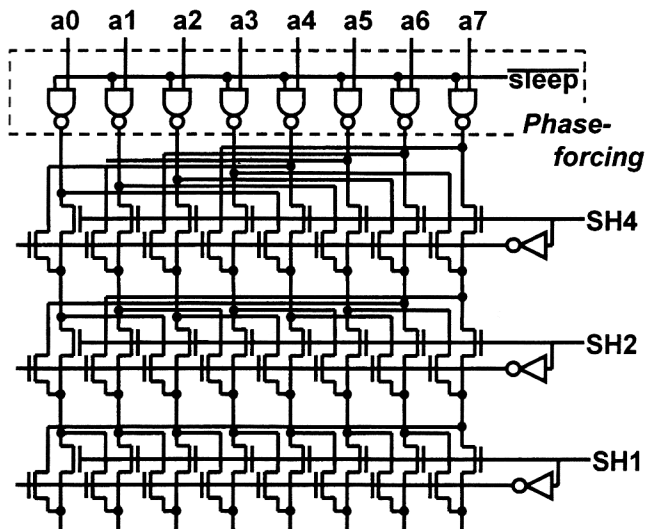


図 9 バレルシフタ

3. Zigzag SCCMOS の加算器への適用

バレルシフタ以外にトランスミッションゲートやパストランジスタが用いられる回路として加算器が挙げられる。このような加算器においても前節に用いた方法により Zigzag SCCMOS を適用することが出来る。しかしバイナリ加算器は高速かつ低消費電力でありさらに複合ゲートにより構成できる。よって本節ではバイナリ加算器のシミュレーションを行ない、その特性を示す。

3.1. Brent-Kung 加算器

Brent-Kung 加算器はバイナリ加算器の一種である。図 10 にそのキャリー生成部を示す。P_iを求める時とキャリーC_iとG_iから和を求める時に XOR が使用されるが、高々2段であるため複合ゲート型の XOR を用いても大きく遅延時間が伸びることは無い。またバレルシフタと同様入力をすべて HI またはすべて LO に Phase-forcing すればトランスミッションゲートを用いた XOR を使用することが出来る。

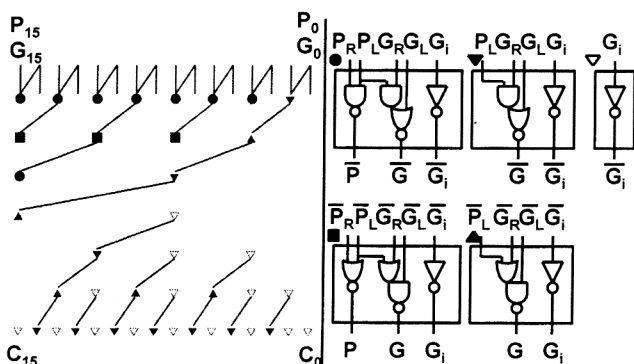


図 10 Brent-Kung 加算器

3.2. シミュレーション結果

前述の Brent-Kung 加算器について、スリープ時のバーチャル電源線(V_{SSV})の電圧、ウェークアップ時のバーチャル電源線の電圧、ウェークアップ時に消費される電流に関しシミュレーションを行う。ネットリストは 0.35μm プロセスでレイアウトを行い、寄生成分を抽出したものを一部改変したものを用いる、モデルファイルとして BPTM [10]70nm プロセスのものを用いる。電源電圧は 1.0V、閾値電圧は 0.05V である。

まずスリープ時の V_{SSV} について Zigzag SCCMOS と MTCMOS との比較を図 11 に示す。パワースイッチの幅はスイッチにつながるトランジスタの幅の合計の 10% である。MTCMOS のスイッチも同じ閾値電圧の MOSFET を用いる。これからわかるように Zigzag SCCMOS の V_{SSV} は V_{SS} に近い値に保たれているが MTCMOS ではほぼ V_{DD} まで上がっている。

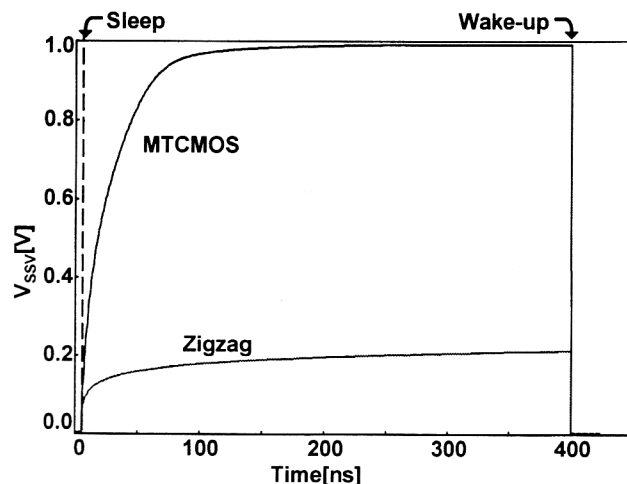


図 11 スリープ時の V_{SSV}

つぎにウェークアップ時の V_{SSV} の電圧および電流を図 12 に示す。MTCMOS ではウェークアップに 300ps 以上かかっているが Zigzag SCCMOS では約 100ps が実現されている。この理由は 2 つあり、1 つは Zigzag SCCMOS では論理ゲートの入力ノードのゲート容量を充電する必要が無いからであり、もうひとつは MTCMOS では MOSFET のゲートの電圧が固定されていないためにウェークアップ時に流れる 600mA を超える貫通電流が流れるが Zigzag ではほぼ流れないからである。MTCMOS ではこの貫通電流が V_{SSV} 線をディスチャージする妨げになっている。

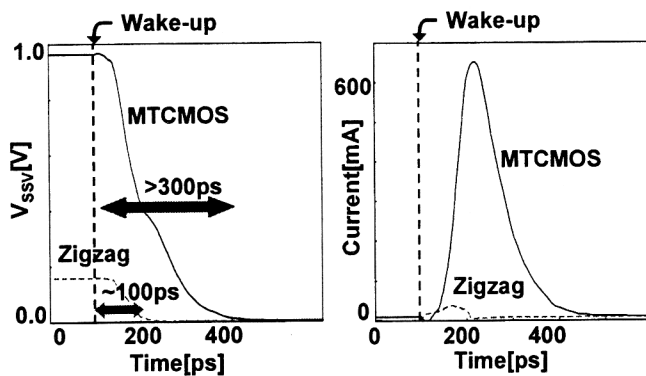


図 12 ウェークアップ特性

4. 測定結果

ウェークアップに必要な時間を測定する回路を 0.6 μ m CMOS プロセスを用いて設計・試作した²。測定回路を図 13 に示す。また測定結果を図 14 に示す。

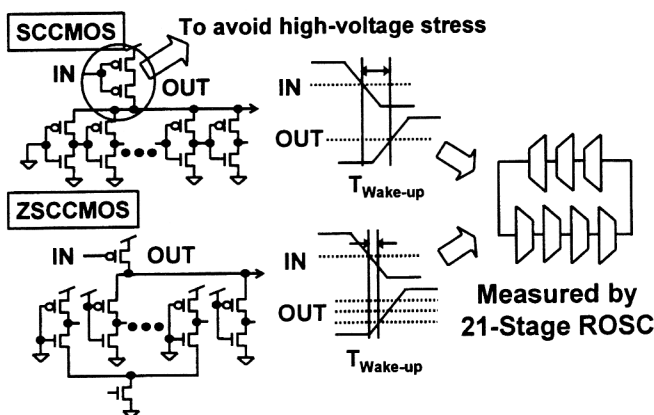


図 13 測定回路

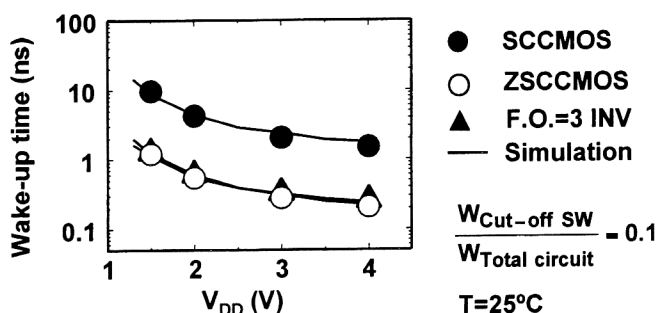


図 14 測定結果

これから Zigzag SCCMOS のウェークアップに要する時間が SCCMOS の約 8 倍高速であり。また図 14 から Zigzag SCCMOS のウェークアップに要する時間はファンアウトが 3 のインバータの遅延時間と同等であることがわかる。

5. まとめ

リーク支配世代におけるクロックゲーティング代替回路として Zigzag SCCMOS を提案した。測定結果から Zigzag SCCMOS のウェークアップに要する時間はファンアウトが 3 のインバータとほぼ同等であることが分かった。また Zigzag SCCMOS で必要となる V_{DD} 以上および V_{SS} 以下の電源電圧を扱うための耐圧緩和レベルシフタを提案しシミュレーションにより動作を確認した。さらに Zigzag SCCMOS を各種回路に適用する方法を示した。

文 献

- [1] S. Heo, K. Asanovic, "Leakage-Biased Domino Circuits for Dynamic Fine-Grain Leakage Reduction," in Symp. On VLSI Circuits Dig. Tech. Papers, pp. 316-319, Jun. 2002.
- [2] V. De and S. Borkar, "Technology and Design Challenges for Low Power and High Performance," ISLPED'99, pp. 163-168, Aug. 1999.
- [3] ITRS 2001. <http://public.itrs.net>
- [4] S. Mutoh et al., "1-V Power Supply High-Speed Digital Circuit Technology with Multithreshold-Voltage CMOS," IEEE Journal of Solid-State Circuits, vol. 30, no. 8, pp. 847-854, Aug. 1995.
- [5] T. Kuroda, T. Fujita, S. Mita, T. Nagamatsu, S. Yoshioka, F. Sano, M. Norishima, M. Murota, M. Kako, M. Kinugawa, M. Kakumu, T. Sakurai, "A 0.9V 150MHz 10mW 4mm² 2-D Discrete Cosine Transform Core Processor with Variable-Threshold-Voltage Scheme," in ISSCC Dig. Tech. Papers, pp. 166-167, Feb. 1996.
- [6] H. Kawaguchi, K. Nose, and T. Sakurai, "A Super Cut-Off CMOS (SCCMOS) Scheme for 0.5-V Supply Voltage with Picoampere Stand-By Current," JSSC, vol. 35, no. 10, Oct. 2000.
- [7] A. Keshavarzi et al., "Effectiveness of Reverse Body Bias for Low Power CMOS Circuits," Proc. of 8th NASA Symposium on VLSI Design, pp. 2.3.1-2.3.9, 1999.
- [8] K.-S. Min, H. Kawaguchi, and T. Sakurai, "Zigzag Super Cut-off CMOS (ZSCCMOS) Block Activation with Self-Adaptive Voltage Level Controller: An Alternative to Clock-Gating Scheme in Leakage Dominant Era," ISSCC Dig. Tech. Papers, pp. 400-401, Feb. 2003.
- [9] M. Horiguchi et al., "Switched-Source-Impedance CMOS Circuit for Low Standby Subthreshold Current Giga-Scale LSI's," Symp. VLSI Circuits Dig. Tech. Papers, pp. 47-48, 1993.
- [10] S. Fujii et al., "A 50 μ A standby 1MW 1b/256KW 4b CMOS DRAM," ISSCC Dig. Tech. Papers, pp. 266-267, Feb. 1986.
- [11] <http://www-device.eecs.berkeley.edu/~ptm/introduction.html>.

² 本チップ試作は東京大学大規模集積システム設計教育研究センターを通しローム(株)および凸版印刷(株)の協力で行なわれたものである。